

標準教科「組み込みデバイス設計実習」における教材作成と検証

林 文彬 *

近畿職業能力開発大学校で応用課程の生産電子情報システム技術科が 2014 年 4 月から設立され、2015 年度まですでに 2 年が経った。新科の設立に先立って、従来の生産電子情報システム技術科の一部の授業はすでに(独)高齢・障害・求職者雇用支援機構(以下「機構」という)本部の「新科の標準訓練支援計画書(シラバス)」(以下「標準カリキュラム」という)[1]を照準して修正された。筆者は生産電子情報システム技術科の 1 年間と生産電子情報システム技術科の 2 年間と合わせると、「組み込みデバイス設計実習(4 単位)」という科目を 3 年間担当していた。本報告はこの科目標準カリキュラムのシラバスについて検証すると共に、教材開発の取り組み概要とその成果を報告する。

Keywords : 組み込みデバイス設計実習, 新科目の標準訓練支援計画書(シラバス), 教材作成.

1. 緒言

近年、科学技術の進歩により、情報通信技術を駆使しながら特定用途向けの複数機器を制御する組み込みシステム技術が開発されつつある。そのうち、FPGA(field-programmable gate array)は集積回路を再プログラム化する柔軟性があり、携帯電話をはじめ、さまざまな電子機器で使用されるようになった。

現在、FPGA に関わる新しい科目の授業「組み込みデバイス設計実習」は生産電子情報システム技術科に導入されてから、2015 年度まですでに 2 年が経った。本文は「新科の標準訓練支援計画書(シラバス)」に基づき、授業内容を検討すると共に、教材開発の成果を報告する。

2. 組み込みデバイス設計実習とは

2.1 標準カリキュラム 機構本部が発行する組み込みデバイス設計実習に関する標準カリキュラムによると、「組み込みデバイス設計実習」授業の目的は FPGA を用いたデジタル回路の一連の開発フローを学習し、HDL(Hardware Discription Language)によるデジタル回路設計技法を習得するということである[1]。ここの FPGA とは製造後に購入者や設計者が構成を設定できる集積回路であり、広義には PLD(プログラマブルロジックデバイス)の一種である[2]。また、HDL の直訳はハードウェア記述言語という意味である。

つまり、本科目授業の目的は HDL を用いて、デジタル回路を仕様から設計・製作する技法を習得することである。

2.2 訓練内容 表 1 は標準カリキュラムで書かれた訓練内容の概略を示す[1]。表 1 の示す通り、本科目の授業である FPGA によるデジタル回路への学習は基礎回路から応用回路まで詳細に記載されている。

表 1 に訓練内容の No.1 は FPGA を用いたデジタル回路を製作する実習環境を紹介する。No.2 は FPGA による

デジタル回路設計の基礎への学習であり、No.3 は回路記述であるモジュール構造の紹介と基本論理回路である各演算子やフリップフロップ回路等を用いて、必要な論理結果を作り出す組合せ回路の製作である。

Nos.4-7 は No.3 の基礎を応用し、各種マルチプレクサ回路、デコーダ回路、カウンタ回路およびシフトレジスタ等の複雑な組合せ回路や順序回路の製作を学習する。

最後に、No.8 はさらに制御対象の回路を複数のモジュール化し、各モジュール間でのポート接続を行う方法を学習する。この方法は主に複雑・大規模の回路設計に使われている。

表 1 訓練内容 [1]

No	訓練内容	コマ数(H)
1	ガイダンス, 開発環境	2(4H)
2	記述スタイル, 組み合わせ回路	6(12H)
3	順序回路・演算回路・同期回路	4(8H)
4	マルチプレクサの製作	4(8H)
5	デコーダの製作	4(8H)
6	カウンタの製作	4(8H)
7	シフトレジスタの製作	4(8H)
8	評価と検証 (1)IP モジュールの活用 (2)各種回路の接続試験	8(16H)

3. 実施環境と問題記述

3.1 実施環境 本授業の実施環境は表 2 に示している。Basys2 Board の概略図[3]は図 1 の示す通りで、PS/2, VGA および 32bit の I/O 等の入出力ポートが含まれる。そのうち、32bit の I/O 回路図は図 2 に示す[3]。32bit の I/O 回路にボタン・スライドスイッチ, LED, 7-Seg

* 生産電子情報システム技術科
(現 沖縄職業能力開発大学校)

display 等の入出力ポートが備えている。学生に多様な応用課題を実習することができ、教育訓練に適している FPGA ボードと思う。

表 2 授業の実施環境

項目	内容
FPGA ボード	Basys2 Board (DIGILENT 社)
FPGA	Xilinx Spartan3E-100 CP132
記述言語	Verilog-HDL
ツール	Xilinx Design Tools(ISE Design Tools)

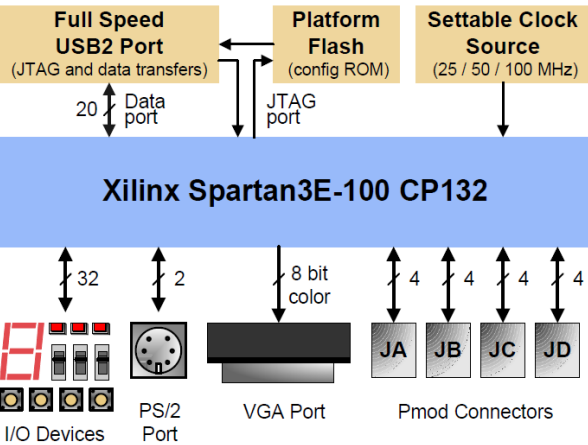


図 1 Basys2 Board の概略図 [3]

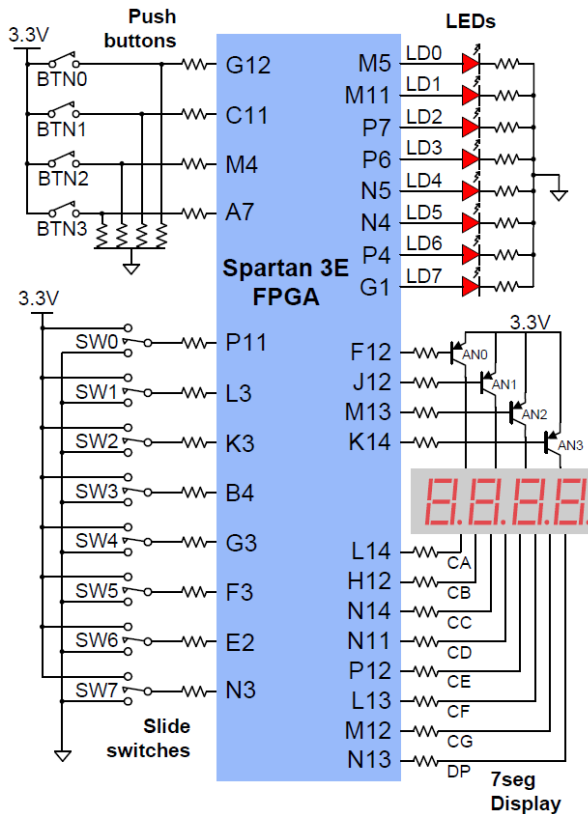


図 2 Basys2 Board の I/O 回路図 [3]

また、現在によく使われるハードウェア記述言語 (HDL)は VHDL と Verilog-HDL の 2 種類があるが、本授業は学生の慣れる C 言語に近い Verilog-HDL を使う。
3.2 問題記述 表 1 の No.2「記述スタイル、組み合わせ回路」は 6H があり、これは Verilog-HDL の初心者を対象に記述スタイルを説明することと、基本論理回路である AND 回路、OR 回路、NOT 回路及び NAND 回路等を用いて、必要な論理結果を作り出して各演算子の原理を理解してもらうために 12 時間の実習時間を設定した。

しかし、応用課程に進学する学生はすでに専門課程の電子情報技術科を卒業し、専門課程の 2 年間で電子情報技術の基礎知識と技術の教育を受けた。特に、専門課程では本授業と同じ内容の授業「ファームウェア技術(2 単位)」があり、学生はすでにハードウェア記述言語に関連する知識・技術を持っていた。

また、No.2 の組み合わせ回路に関しては一行で記述する「簡単な」組み合わせ回路だけではなく、複数行で記述する「複雑な」組み合わせ回路や function による組み合わせ回路等も含まれるが、これらの「複雑な」組み合わせ回路への学習は No.4 の「マルチプレクサの製作」ユニットでも学習することができる。

上記の記述により本授業によるハードウェア記述言語の学習は表 1 の No.2 に基本論理回路である AND 回路、OR 回路等の基礎回路設計技法を一部省略することができる。このような内容変更により、すでに基礎知識を持っている学生に授業への学習意欲を高めることが図られる。

最後は、表 1 の No.8 ユニットの具体的な実習課題名を記載しなくて、授業の担当者は各自に工夫し、自由に演習課題を開発・作成することができる。本文はこのユニットでいくつの応用演習例を授業の実習に取り入れることで、学生に本教科への学習を深めてもらおうと試みる。

4 章は本授業における教材開発への取り組みについて紹介する。

4. 教材作成への取り組み

4.1 標準訓練支援計画書(シラバス) 3.2 節の問題記述で紹介した通りに、本授業は表 1 訓練内容の No.2「記述スタイル、組み合わせ回路」の一部内容を削除し、6 コマの 12 時間を 2 コマの 4 時間に減らす。その代わりに、「ステートマシン図」の 2 コマ(4H)を導入し、さらに No.8 の「評価と検証」ユニットの時間 8 コマ(16H)を 10 コマ(20H)に増やす。これにより、学生はもっと多くの時間があり、応用的な演習例を練習することができる。修正した訓練内容は表 3 に示す。

また、修正した時間数は 8 時間であり、これを科目全体時間数の 72 時間で割ると、11%となった。機構本部が標準カリキュラムを修正する場合は 2 割以下を定めているので、この授業内容の修正は定めた範囲を超えていない。

表3 訓練内容

No	訓練内容	コマ数(H)
1	ガイダンス, 開発環境	2(4H)
2	記述スタイル, 組み合わせ回路	6(12H)->2(4H)
3	順序回路・演算回路・同期回路	4(8H)
4	マルチプレクサの製作	4(8H)
5	デコーダの製作	4(8H)
6	カウンタの製作	4(8H)
7	シフトレジスタの製作	4(8H)
8	ステートマシン (追加)	2(4H)
9	評価と検証 (1)IP モジュールの活用 (2)各種回路の接続試験	8(16H)->10(20H)

4.2 ステートマシンの導入

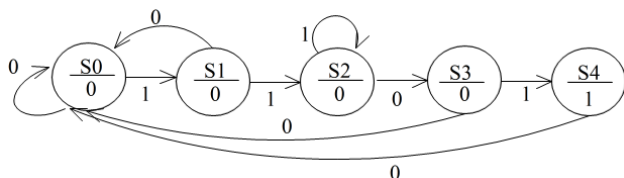


図3 ムーア・マシンによる検出器のステート図 [4]

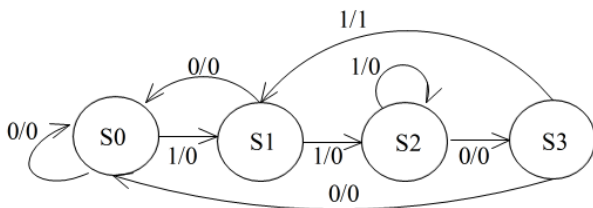


図4 ミーリ・マシンによる検出器のステート図 [4]

4.1 節に説明した通り、本授業はステートマシンの手法を授業に導入している。

ステートマシンとは入・出力制御の状態を表現する状態図であり、入力条件と現在の状態によって次の状態が決まる順序回路のことである。回路の状態遷移をステップ単位で記述すると、可読性が優れている。また、状態の変更もしやすくなる。現在、HDLによるデジタル回路設計にステートマシンの導入はすでになくてはならない存在になっている。

図3は電子ロックのステートマシン例を示す[4]。図3のステートマシンは「S0」からスタートする。この例の場合は「1101」の順番で一つずつ入力すると、ステートの状態は S0->S1->S2->S3->S4 の順番で進んでいく。最後の S4 の状態になると、出力は「1」となり、電子錠が開錠される。

ステートマシンの導入とポートの接続手法は大型・複雑なデジタル回路設計の構築に役立っている。

また、ステートマシンはムーア・マシンとミーリ・マシンの2種類がある。図3をミーリ・マシンで表現する場合は図4のようになる [4]。

4.3 応用演習の開発 本授業の実習は表3の各ユニットの内容に合わせて、演習課題の方式で行った。内容

はシンプルな練習例から複雑な課題まで順序良く各ユニットの内容を学習しながら、演習課題に取り組んでもらい、学生の学習効果の向上を努めた。ここで、下記のような演習課題例の概要を紹介する。

1) 十進数3桁7segLED点灯の回路記述 本演習例は一つずつカウントするカウンタを設計する例である。カウント値は十進数3桁とし、その値を3つの7segLEDに出力する回路記述を構築する。

本実習で使われる Basys2 Board は4つの7segLEDに同じ数字を同時に出力することが可能であるが、図2の回路図から4つの7segLEDの各セメントは同じ出力ポート(8bit)で制御されているので、異なる数字を同時にそれぞれの7segLEDに出力することができない。

上記の問題点をクリアするため、図5の十進数3桁7segLED点灯のステートマシンに従って、プログラムを構築すると、課題の実現が可能になる。図5からまずは、state0の状態で一桁の7segLED0だけ、次はstate1に移ってstate1の状態で十の位の7segLED1だけ、最後はstate2に移ってstate2の状態で百の位の7segLED2だけが点灯される。このようにしてstate0～state2の間に速いスピードで状態を遷移すると、人間の残像効果により、3つの7segLEDが同時に光っているように見える(図6参照)。

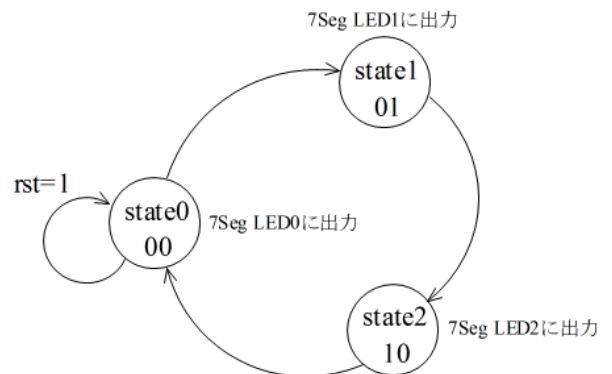


図5 十進数3桁7segLED点灯のステートマシン



図6 十進数3桁7segLED点灯の結果

また、プログラムの構築に当たって、下記の2つ違う周波数のクロックを使う必要がある。これらのクロックは50MHzの内部クロックにより生成される。

- ・50Hzクロック：数字を7segLEDに出力するために使われる。
- ・1kHzクロック：3つ7segLEDを交代に光らせるために使われる。

2) 流れる文字 本課題は7segLEDで4桁の番号を1

桁ずつ順に繰り返して表示する回路の設計である。

この回路の構成は「1) 十進数 3 桁 7segLED 点灯の回路記述」と同じ、7seg LED に別々の数字を出力するために下記の 2 種類クロック出力が必要である。

- ・ 数字を 7seg LED に出力する用の 1Hz のクロック
- ・ 4 つ 7seg LED 点灯を交代に光らせるために使われる 1kHz のクロック

また、このプログラムを実現するために 4 つの 7segLED に対して 8 個の整数型の変数は必要であり、No.1～No.4 の変数に空の数字が代入され、No.5～No.8 の変数に流れる 4 つの数字（ここでは「1620」）が代入される。これにより、8 個の変数の値が交代で 4 つの 7segLED に出力されると、流れる文字が表示される（図 7(a), (b)参照）。



(a)



(b)

図 7 流れる文字の実行結果

3) キーボードから入力を受け付ける回路記述

Basys2 Board は PS/2 コネクタが付いている。図 8 は PS/2 コネクタの構造と Basys2 の PS/2 回路図を示す[3]。

また、キーボード各キーの ASCII 値は図 9 の示す通りである。もしキーボードのキーが押されれば、そのキーの ASCII 値を 16 進数に変換して、8 個の LED に出力する回路記述の演習例も導入された。

この演習例では例えば「Y」キーの ASCII 値が「35」で、「Y」キーが押されると、8 個 LED の出力が図 10 の示すとおりになる。

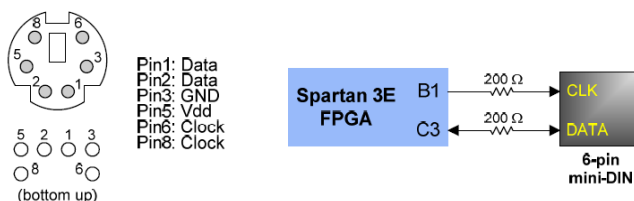


図 8 PS/2 コネクタと Basys2 の PS/2 回路 [3]

ESC 76	F1 05	F2 06	F3 04	F4 0C	F5 03	F6 0B	F7 83	F8 0A	F9 01	F10 09	F11 78	F12 07	↑ E0 75
~ OE	1! 16	2@ 1E	3# 26	4\$ 25	5% 2E	6^ 36	7& 3D	8* 3E	9(46	0) 45	=+ 55	BackSpace ← 66	→ E0 74
TAB 0D	Q 15	W 1D	E 24	R 2D	T 2C	Y 35	U 3C	I 43	O 44	P 4D	[54	] 5B	↵ E0 6B
Caps Lock 58	A 1C	S 1B	D 23	F 2B	G 34	H 33	J 3B	K 42	L 4B	:: 4C	"" 52	Enter ↵ 5A	↓ E0 72
Shift 12	Z 1Z	X 22	C 21	V 2A	B 32	N 31	M 3A	< 41	> 49	/? 4A	Shift 59		
Ctrl 14	Alt 11											Alt E0 11	Ctrl E0 14

図 9 キーボードのスキャンコード

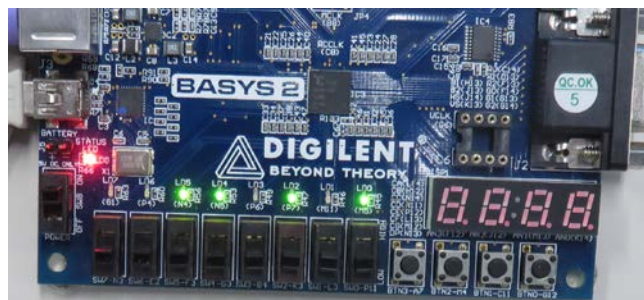


図 10 キーの入力を受け付ける回路記述結果

5. 結論

2013 年度から本方式の授業が導入され、2015 年度までに合計で 3 回が実施された。ここで、本方式の授業導入に以下のような成果をまとめることができた。

- 1) ステートマシンの導入により、学生が複雑な課題を分析する能力を身につく。教材で提示した課題に学生全員が最後まで回路記述を完成することができた。
- 2) 一部基本論理回路の実習を削減して、4.3 節で紹介した通り、多くの応用演習例が導入されることで、学生の学習意欲を引き出すことができ、これによって、本授業での学習効果の向上が図られた。
- 3) 2013 年度の授業アンケート調査の平均は主設問 97.8%，補助設問 99.4%で、2014 年度も主設問 94.7%，補助設問 95.3%である。また、2015 年度も同等の評価を受けていたから、本方式の実習内容が評価されると言える。

文献

- [1] 「生産システム技術系 生産電子情報システム技術科 標準訓練支援計画書（シラバス）」，(独)高齢・障害・求職者雇用支援機構，(2014).
- [2] <https://ja.wikipedia.org/wiki/FPGA/> May.25, 2016.
- [3] “Diligent Basys2 Board Reference Manual”，DILIGENT社
- [4] E. Haskell, M. Hanna: “Digital Design Using Diligent FPGA Boards”，LBE Books
- [5] 並木秀明：「ディジタル回路と Verilog HDL」，技術評論社，(2008).

(2016 年 06 月 10 日提出)