

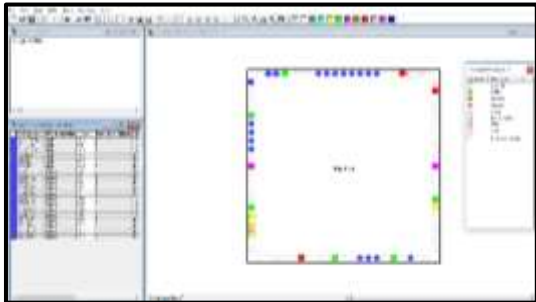
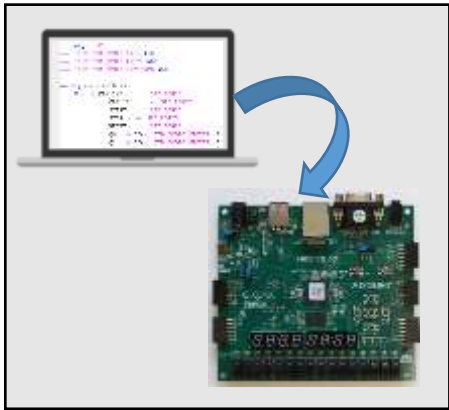
コース番号

6E007

HDLによるLSI開発技術

～初めてHDLを扱う方を対象としたコース～

デジタル回路設計技術のひとつにあるPLD設計実習を通して、HDL記述(VHDL)によるハードウェアの設計手法を学びます。「デジタル回路設計技術」と同等の知識が事前にある方におすすめします。

開催日時	7月31日(木)、8月1日(金) [2日間] 各日 9:00～16:00				
定員	10名	受講料	10,000円	開催場所	ポリテクカレッジ川内
カリキュラム	1. コース概要及び留意事項 (1)コースの目的 (2)専門的能力の現状確認 2. PLD開発の概要 (1)PLDの概要 (2)開発ツールの概要 3. HDL概要 (1)HDL概要 (2)HDL設計方法 (3)HDL記述の概要 4. テストベンチ作成とシミュレーション (1)データタイプと各種演算子 (2)テストベンチ作成方法 5. 階層構造 (1)階層構造の仕組み   ※写真は、イメージになります。				
持参品	筆記用具				
講習環境など	パソコン/評価ボード(XILINX FPGA)				

【お問い合わせ】

ポリテクカレッジ川内(川内職業能力開発短期大学校)

〒895-0211 鹿児島県薩摩川内市高城町 2526

TEL:0996-22-1558(学務援助課) FAX:0996-22-6612