

VHDLによるディジタル回路設計開発技術

～VHDLによるハードウェア設計手法を習得するコース～

受講対象者	「ディジタル回路設計技術」を受講された方、又は同等以上の知識のある方
講習内容等	<p>PLD 評価ボードを用いた実習を通して、設計フロー及び文法事項と設計手法を学習します。また、評価ボード上にディジタル回路を実装・動作検証することにより、VHDLによるハードウェア設計手法を習得します。</p> <ul style="list-style-type: none"> PLD 開発の概要（ディジタル回路設計手法、開発ツール） VHDL 概要 組合せ回路の実装実習 (セレクタ、マルチプレクサ、エンコーダ、演算回路) 順序回路の実装実習 (フリップフロップ、シフトレジスタ、カウンタ) 総合実習（100進アップダウンカウンタ）
講師	ポリテクセンター千葉
【使用機器等】	PLD 評価ボード、PLD 開発ツール、論理合成ツール、パソコン、オシロスコープ
【持参品】	筆記用具
コース番号	日 程
E2002	平成 29 年 2 月 7 日（火）、8 日（水）、9 日（木）
日 数	時 間
3 日間(18 時間)	9:10～16:00 (6 時間／日)
	定員
	10 名
	受 講 料
	13,000 円（税込）